

SIGNAL LINE DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY

Patent Number: JP11095729
Publication date: 1999-04-09
Inventor(s): TAGUMA MICHIO; KANO SUSUMU
Applicant(s): TEXAS INSTR JAPAN LTD
Requested Patent: ☐ JP11095729
Application Number: JP19970276526 19970924
Priority Number(s):
IPC Classification: G09G3/36; G02F1/133
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To make a signal line driving circuit possible to perform dot inversion drive of a common constant drive method by a low power consumption system, in a TFT liquid crystal display.
SOLUTION: A drive part equivalent to adjacent two channels (columns) is constituted of a pair of registers 10L, 10R, a pair of first data latch circuits 12L, 12R, a pair of first switch circuits 14L, 14R, a pair of second data latch circuits 16L, 16R, a pair of level shifters 18L, 18R, a pair of DA converters 20L, 20R, a pair of output amplifiers 22L, 22R, a pair of second switch circuits 24L, 24R and a pair of output pads 26L, 26R. Respectively corresponding signal lines (not shown in figure) in a liquid crystal panel are connected to the output pads 26L, 26R. An opening/closing switch 30 is connected between the output pads 26L, 26R. The opening/closing switch 30 is closed temporarily when a polarity of alternation is inverted to short-circuit adjacent signal lines each other.

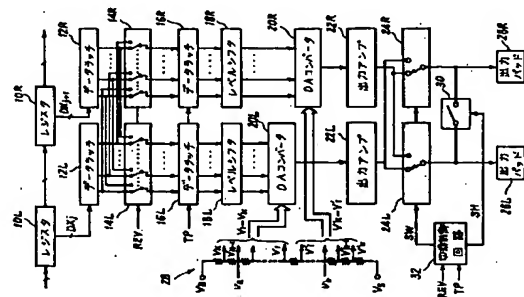
Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許公開公報番号
特開平11-95729
(43) 公開日 平成11年(1999) 4月9日

(51) Int. Cl. G 0 9 G 3 / 3 6 G 0 2 F 1 / 1 3 3	(52) 特許庁 G 0 9 G 3 / 3 6 G 0 2 F 1 / 1 3 3	(53) 特許庁 G 0 9 G 3 / 3 6 G 0 2 F 1 / 1 3 3	(54) 特許庁 G 0 9 G 3 / 3 6 G 0 2 F 1 / 1 3 3
(21) 出願番号 特願平9-276326	(22) 出願日 平成9年(1997) 9月24日	(71) 出願人 日本デキス・インストルメンツ株式会社 東京都港区北青山3丁目6番12号 青山富士ビル (72) 発明者 田原 道雄 埼玉県鴻巣市南3丁目18番38号 日本デキス・インストルメンツ株式会社内 (73) 発明者 加納 行 埼玉県鴻巣市南3丁目18番38号 日本デキス・インストルメンツ株式会社内 (74) 代理人 井理士 佐々木 聖孝	(75) 発明者 加納 行 埼玉県鴻巣市南3丁目18番38号 日本デキス・インストルメンツ株式会社内 (76) 代理人 井理士 佐々木 聖孝

(54) 【発明の名称】 液晶ディスプレイ用信号線駆動回路

(57) 【要約】
【課題】 TFT型の液晶ディスプレイにおいて低消費電力方式でコモン一定電動法のドット反転駆動を行えるようにする。
【解決手段】 隣合う2つのチャネル(列) 分の駆動部は、一対のレジスタ10L、10R、一対の第1デューラッチ回路12L、12R、一対の第1切替回路14L、14R、一対の第2デューラッチ回路16L、16R、一対のレベルシフタ18L、18R、一対のD/Aコンバータ20L、20R、一対の出力アンプ22L、22R、一対の第2切替回路24L、24Rおよび一対の出力バッファ26L、26Rから構成される。出力バッファ26L、26Rには液晶パネル内の各対応する信号線(図示せず)が接続される。出力バッファ26L、26R間には開閉スイッチ30が接続される。この開閉スイッチ30は、交流化の極性反転時に一時的に閉じて、隣合う信号線同士を短絡させる。



【特許請求の範囲】
【請求項1】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前記画素電極は各々対応する薄膜トランジスタを介して各対向電極に電気的に接続されるとともに、前記薄膜トランジスタの制御端子が各々対応するゲート線に電気的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の前記画素電極には各々対応する前記ゲート線が活活性化される度毎に所望の表示電圧に相対的に正の極性を有し、かつ前記対向電極電圧に対して相対的に正の極性を有する降調電圧を有する降調電圧が前記信号線に印加される降調電圧を介して印加されるように構成された液晶ディスプレイ用の信号線駆動回路において、
奇数列の各信号線には正極性の降調電圧を供給すると同時に偶数列の各信号線には負極性の降調電圧を供給する第1の動作と、奇数列の各信号線には正極性の降調電圧を供給すると同時に偶数列の各信号線には正極性の降調電圧を供給する第2の動作とを所定の周期で交互に繰り返させる切替手段と、
前記第1の動作と前記第2の動作との間の切替時に所定のタイミングで任意の奇数列および偶数列の信号線同士を一時的に短絡させる短絡手段とを有する液晶表示装置。
【発明の詳細な説明】
【0010】
【発明の属する技術分野】 本発明は、多階調表示を行う液晶ディスプレイの信号線を駆動する駆動回路に関する。
【0020】
【従来の技術】 液晶ディスプレイ(Liquid Crystal Display)の代表的なものとして、薄膜トランジスタ(TFT)型の液晶ディスプレイ(TFT-LCD)がある。
【0030】 図8に、アクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示す。この種のTFT-LCDは、複数のゲート線Y1、Y2、...と複数の信号線X1、X2、...とをマトリクス状に交差配置し、各交差点の画素に薄膜トランジスタTFTを配置したTFT液晶パネル100と、この液晶パネル100のゲート線Y1、Y2、...を駆動するための並列接続されたゲートドライバG1、G2、...と、液晶パネル100の信号線X1、X2、...を駆動するための並列接続された信号線ドライバS1、S2、...と、各階調の動作を制御するコンローラ102と、表示すべき画像信号に対して所要の信号処理を行う画像信号処理回路104と、フルカラー(多階調表示)を実現するための多階調の電圧を発生する降調電圧発生回路106とから構成されている。
【0040】 画像信号処理回路104は、各画素の表示の階調を逐次デジタルの画像データDXを各信号線ドライバS1、S2、...に供給する。たとえば64階調の場合、R、G、Bの各画素につき6ビットの画像データD

Xが画像信号処理回路104より各信号線ドライバS1, S2, …に与えられる。コントロール102は、水平同期信号HSおよび垂直同期信号VSに同期した個々の制御信号またはタイミング信号を各ゲート線ドライバG1, G2, …および各信号線ドライバS1, S2, …に供給する。階調電圧発生回路106は、液晶パネル100のV(電圧)−T(透過率)特性に基づいて表示の多階調に対応した電圧レベルをそれぞれ有する多段階の階調電圧を各信号線ドライバS1, S2, …に供給する。

【0050】図9に、液晶パネル100の典型的な構成を示す。2枚のガラス基板110, 112の間に液晶114が封入または充填されている。一方のガラス基板110の内側面において、各ゲート線Yi(図示せず)と各信号線Xj(図示せず)との交差点位置付近に透明導電膜からなる1個の画素電極Pi,jと1個の薄膜トランジスタTj,iが形成されており、画素電極Pi,jはTj,iのゲート電極Tgがゲート線Yiに接続され、Tj,iの一方のガラス基板112の内側面にはR(赤)、G(緑)、B(青)のカラフルフィルタ115を介して透明導電膜からなる対向電極116が一方の面に形成されている。両ガラス基板110, 112の外側面にはそれぞれ偏光軸を互いに平行または直交させるようにして偏光板118, 120が設けられている。

【0060】なお、図9において、Tsはソース電極、Tdはドレイン電極、124は半導体層、126は保護膜、128はゲート絶縁膜、130はブラックマトリクスである。

【0070】図10に、液晶パネル100内の回路構成を示す。各画素電極Pi,jと対向電極116と両者の間に挟まれた液晶114によって画素分の信号容量Csが構成される。ゲート線Y1, Y2, …は、ゲート線ドライバG1, G2, …により1フレーム期間内に通常は線順次走査で1行ずつ選択されてアクティブ状態に駆動される。

【0080】いま、1行のゲート線Yiが駆動されると、このゲート線Yiに接続されている1行の全ての薄膜トランジスタTj,iと対向電極116とがオンする。これと同様に、信号線ドライバS1, S2, …より1行上の全ての画素に対するアナログの階調電圧がそれぞれ出力され、これらの階調電圧は信号線X1, X2, …およびオン状態の薄膜トランジスタTj,i, Tj,i, …を通じてそれぞれ対応する画素電極Pi,j, Pj,i, …に印加される。この後、次の(1+i)行において、ゲート線Yi+1が選択され、上記と同様の動作が行われる。1行において、薄膜トランジスタTj,i, Pj,i, Tj,i, …がオフ状態になることで、各画素に書き込まれた電荷は逃げ道を失い、各電極Pi,j, Pj,i, …の階調電圧は次の選択時間まで保持される。

【0090】このようにして、各画素電極には1フレ-

ーム間で階調電圧が印加されるのであるが、液晶ディスプレイでは液晶分子の劣化防止のため、液晶に電圧が交差の形態で印加されなくてはならない。TFT-LCDにおいて、液晶に交流電圧を印加する方法は、いわゆるコモン一定駆動法とコモン反転駆動法がある。

【0100】コモン一定駆動法は、図11に示すように、対向電極の電圧を一定レベルに固定したまま画素電極に対向電極電圧(一定値)に対して正の電圧を有する電圧と負の電圧を有する電圧を交互に印加する。

【0110】コモン反転駆動法は、図12に示すように、対向電極の電圧を高レベルと低レベルとの間で反転させながら画素電極に對向電極電圧に対して正の電圧を有する電圧と負の電圧を有する電圧を交互に印加する。この場合、対向電極の電圧が高レベルの時に画素電極にはこの高レベルを基準として負の電圧を有する電圧が印加され、対向電極の電圧が低レベルの時に画素電極にはこの低レベルを基準として正の電圧を有する電圧が印加されることになる。

【0120】コモン反転駆動法は、画素電極の電圧極端がコモン一定駆動法の場合と比べて1/2で済むので低電圧ドライブが使えるという利点はあるが、大容量の対向電極を交流駆動するために消費電力が多いうえ、X方向でのドット反転が行えず、表示品質の点でも劣る欠点がある。反対に、コモン一定駆動法は、低電圧ドライブを使えない反面、コモン反転駆動法よりも消費電力が少なく、またY方向だけでなくX方向でのドット反転も可能であり、表示品質に優れている。このようなことから、特に大画面のTFT-LCDではコモン一定駆動法が適していると言われている。

【0130】図13に、完全ドット反転のパターンを示す。図示のように、フレームFが切り替わる度毎に(Fn, F+1)、液晶パネル100内の各画素に書き込まれる階調電圧の極性が交互に反転する。そして、Y方向で1ライン毎に各画素の極性が反転するとともに、X方向でも1画素毎に極性が反転する。

【0140】コモン反転駆動法では、対向電極電圧のレベルをフレーム周期およびライン周期に反転させることで、フレーム周期およびライン周期(Y方向)で各画素における階調電圧の極性を反転させることができる。しかし、一時点においては、対向電極電圧に対して正極性もしくは負極性いずれか一方の極性でしか信号線を駆動することができない。このため、同時にオン状態となる1行分の画素に正極性もしくは負極性いずれか一方の極性でしか階調電圧を印加できず、X方向で1画素毎に階調電圧の極性を反転させることはできない。

【0150】これに対して、コモン一定駆動法では、任意の時点において対向電極電圧からみて正極性および負極性の階調電圧を同時に選択することができるため、図13に示すように、液晶パネル100内の全画素についてフレーム周期およびY方向だけでなく、X方向でも1

画素毎に極性を交互に反転させることが可能である。このように、隣合う信号線のない画素電極で階調電圧の極性が反転することで、帯走時に対向電極等で流れる電流が隣同士で打ち消し合い、これによって表示品質の低下が抑えられる。

【0160】
「発明が解決しようとする課題」上記のようなコモン一定駆動法において完全ドット反転を行う場合、各信号線Xj上の駆動(階調)電圧は、1水平走査期間中に図11と同様の波形で極性が交互に反転する。この場合、信号線ドライバSは、水平走査期間の切り替わり時に各信号線Xjを対向電極電圧を基準(中心)として一方の極性の階調電圧から他方の極性の階調電圧へ振るようによりして駆動する。

【0170】このような信号線Xj上の電圧スイング幅はこの信号線Xj上(Y方向)で相前後する(隣合う)画素の表示階調の和に比例する。したがって、たとえば、相前後する画素のいずれも最大表示階調を有する場合には、正極性(または負極性)の最大階調電圧から負極性(または正極性)の最大階調電圧へ信号線Xj上の電圧をフルスイングさせなければならぬ。このため、信号線ドライバSは大きな駆動能力を持たなくてはならない。つまり、電力を多量に消費することになる。

【0180】今後、液晶表示装置はますます低消費電力化を求められ、その中でも、信号線ドライバに対する低消費電力化の要求はますます強くつついていく。

【0190】本発明は、かかる従来技術の問題点に鑑み、なされたもので、低消費電力方式でコモン一定駆動法のドット反転駆動を行えるようにした液晶ディスプレイの信号線駆動回路を提供することを目的とする。

【0200】さらに、本発明は、コモン一定駆動法のドット反転駆動における低消費電力化を簡易な仕掛けで実現する液晶ディスプレイ用の信号線駆動回路を提供することを目的とする。

【0210】

「課題を解決するための手段」上記の目的を達成するため、本発明は、マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の画素電極は各対向電極の薄膜トランジスタを介して各対向電極に電圧的に接続されるとともに、前記薄膜トランジスタの制御端子が各対向電極を介してゲート線に電圧的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の対向電極電圧には各対向電極電圧が印加される度毎に所定の表示階調に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的に正極性または負の極性を有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように隣り合った液晶ディスプレイ用の信号線駆動回路において、奇数数列の各信号線には正極性の階調電圧を供給すると同時に偶数数列の各信号線には負極性の階調電圧を供給

する第1の動作と、奇数数列の各信号線には負極性の階調電圧を供給すると同時に偶数数列の各信号線には正極性の階調電圧を供給する第2の動作とを所定の周期で交互に繰り返させる切換手段と、前記第1の動作と前記第2の動作との間の切換時に所定のタイミングで任意の奇数数列および偶数数列の信号線同士を一時的に短絡させる短絡手段とを有する。

【0220】本発明の所望ましい一実施形態として、前記短絡手段は、各隣合う信号線の間に接続されたスイッチ手段と、定常時は前記スイッチ手段を開状態とし、前記切換時に各信号線に対する階調電圧の供給が中断する間だけ前記スイッチ手段を開状態とするスイッチ制御手段とを有する。

【0230】あるいは、別の実施形態として、前記短絡手段は、全ての隣合う信号線の間に接続されたスイッチ手段と、定常時は前記スイッチ手段を開状態とし、前記切換時に各信号線に対する階調電圧の供給が中断する間だけ前記スイッチ手段を開状態とするスイッチ制御手段とを有する。

【0240】他の実施形態として、前記短絡手段は、前記スイッチ手段が閉状態になっている期間中に、前記対向電極電圧にはほぼ等しい電圧を与える電圧源に各々の信号線を電圧的に接続させる接続手段を有する。

【0250】また、本発明の所望しい一実施形態として、前記切換手段は、前記ゲート線が線順次走査で駆動されるライン周期またはその整数倍の周期で前記第1の動作と前記第2の動作とを交互に繰り返されるフレーム周期で前記第1の動作と前記第2の動作とを交互に繰り返される。

【0260】また、本発明の液晶表示装置は、マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前記画素電極は各対向電極の薄膜トランジスタを介して各対向電極に電圧的に接続されるとともに、前記薄膜トランジスタの制御端子が各対向電極を介してゲート線に電圧的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の対向電極電圧には各対向電極電圧が印加される度毎に所定の表示階調に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的に正極性または負の極性を有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように隣り合った液晶ディスプレイ用の信号線駆動回路において、奇数数列の各信号線には正極性の階調電圧を供給すると同時に偶数数列の各信号線には負極性の階調電圧を供給

する第1の動作と、奇数数列の各信号線には正極性の階調電圧を供給すると同時に偶数数列の各信号線には負極性の階調電圧を供給する第2の動作とを所定の周期で交互に繰り返される切換手段と、前記第1の動作と前記第2の動作との間の切換時に

所定のタイミングで任意の奇数列および偶数列の信号線同士を一時的に短絡させる短絡手段とを有する。

【0270】

【発明の実施の態様】以下、図1～図7を参照して本発明の実施例を説明する。

【0280】図1は、本発明の一実施例による信号線ドライバの要部の回路構成を示し、より詳細には各隣合う2つのチャネル分の駆動部の構成を示す。この信号線ドライバは、たとえば図8に示したアクティブマトリクス方式のフルカラーTFT-LCDに用いられる。

なお、図示の隣合う2つのチャネル分の駆動部は、図8に示す液晶パネル100の隣合う第1列および第(j+1)列の信号線X_j、X_{j+1}を駆動するものとする。

【0290】図1において、各隣合う2つのチャネル分の駆動部は、一対のレジスタ10L、10R、一対の第1データラッチ回路12L、12R、一対の第1切換回路14L、14R、一対の第2データラッチ回路16L、16R、一対のレベルシフト18L、18R、一対のD/Aコンバータ20L、20R、一対の出力アンプ22L、22R、一対の第2切換回路24L、24Rおよび一対の出力バッファ26L、26Rから構成されている。

【0300】左側および右側のレジスタ10L、10Rは、所定の周回たとえば1ライン（水平走査期間）の周りで、画像信号処理回路104（図8）からの各対応するチャネルに割り当てられ、1画素分の画像データD_{Xj}、D_{Xj+1}をそれぞれ取り込む。そして、所定のタイミングでレジスタ10L、10Rよりそれぞれ1画素分の画像データD_{Xj}、D_{Xj+1}がそれぞれ左側および右側の第1データラッチ回路12L、12Rにラッチされるようになっている。

【0310】左側の第1データラッチ回路12Lの出力端子は、各ビット毎に、左側の第1切換回路14Lの一方（左側）の入力端子に接続されるとともに、右側の第1切換回路14Rの他方（右側）の入力端子に接続されている。右側の第1データラッチ回路12Rの出力端子は、各ビット毎に、右側の第1切換回路14Rの一方（左側）の入力端子に接続されるとともに左側の第1切換回路14Lの他方（右側）の入力端子に接続されている。

【0320】左側および右側の第1切換回路14L、14Rは、コントロール102（図8）からの交流化信号または極性切換信号REVにより、たとえば1ライン周期で（1水平走査期間毎に）、一方（左側）の入力端子と他方（右側）の入力端子とに交互に切り換えられる。左側および右側の第1切換回路14L、14Rの出力端子は、それぞれ左側および右側の第2データラッチ回路16L、16Rの第1切換回路16L、16Rの出力端子に接続されている。

【0330】左側および右側の第2データラッチ回路16L、16Rは、交流化信号REVに同期したコントロ

ーラ102からのデータ・ラッチ制御信号TPにより1水平走査期間置きタイミングで左側および右側の第1切換回路14L、14Rを介して左側の第1データラッチ回路12Lもしくは右側の第1データラッチ回路12Rのいずれかより1画素分の画像データを取り込むようになっている。左側および右側の第2データラッチ回路16L、16Rの出力端子は、それぞれ左側および右側のレベルシフト18L、18Rを介して左側および右側のD/Aコンバータ20L、20Rの入力端子に接続されている。

【0340】レベルシフト18L、18Rは、D/Aコンバータ20L、20R内の回路素子が共通一定駆動法による正極性と負極性の双方にわたる階調電圧を投入するように、画像データの論理電圧（たとえば5V）を高い電圧（たとえば10V）に変換する。

【0350】左側のD/Aコンバータ20Lには、階調電圧発生回路28より正極性の全て（K個）の階調電圧V₁～V_Kが供給される。一方、右側のD/Aコンバータ20Rには、階調電圧発生回路28より負極性の全て（K個）の階調電圧V'₁～V'_Kが供給される。

【0360】階調電圧発生回路28は、たとえば抵抗分圧回路からなり、液晶パネル100のV_{EE}特性にしたがって各表示階調に対応した電圧レベルを有する各階調電圧が得られるように適当な箇所の接続点（ノード）に補正用の基準電圧V_Bが供給されている。

【0370】たとえば、コモン一定駆動法において、対向電極の電圧V_{COM}を5ボルトに固定し、各画素電極に正極性の階調電圧（5～10ボルト）および負極性の階調電圧（5～0ボルト）を交互に印加する場合、正極性の最大階調電圧V_Kは10ボルトに最も近い値に設定され、負極性の最小階調電圧V'₁は5ボルト付近に設定される。

【0380】左側のD/Aコンバータ20Lは、左側レベルシフト18Lより入力した1画素分の画像データをデコードし、その画像データの各表示階調に対応した電圧V_xを選択して出力するように構成されている。一方、右側のD/Aコンバータ20Rは、右側レベルシフト18Rより入力した1画素分の画像データをデコードし、その画像データの各表示階調に対応した電圧レベルを有する負極性の階調電圧V'_xを選択して出力するように構成されている。左側および右側のD/Aコンバータ20L、20Rの出力端子は、それぞれ左側および右側の出力アンプ22L、22Rの入力端子に接続されている。

【0390】左側の出力アンプ22Lは、インピーダンス変換機能を有する演算増幅器の電圧フォロアからなり、正極性電圧の範囲内でシンク状態で動作するように構成されている。この左側の出力アンプ22Lの出力端子は、左側の第2切換回路24Lの一方（左側）の入力

端子に接続されるとともに、右側の第2切換回路24Rの他方（右側）の入力端子に接続されている。

【0400】右側の出力アンプ22Rは、インピーダンス変換機能を有する演算増幅器の電圧フォロアからなり、負極性電圧の範囲内でソース状態で動作するように構成されている。この右側の出力アンプ22Rの出力端子は、右側の第2切換回路24Rの一方（左側）の入力端子に接続されるとともに、左側の第2切換回路24Lの他方（左側）の入力端子に接続されている。

【0410】各々の第2切換回路24L、24Rは、交流化信号REVとデータ・ラッチ制御信号TPとに基づいて切換制御回路32より発生される切換制御信号SWによって切り換わるようになっている。

【0420】左側および右側の第2切換回路24L、24Rの出力端子は、それぞれ左側および右側の出力バッファ26L、26Rを介して各対応するチャネル（列）の信号線X_j、X_{j+1}（図1では図示せず）に電気的に接続されている。両出力バッファ26L、26Rはいし両信号線X_j、X_{j+1}の間に開閉スイッチ30が接続されている。

【0430】この開閉スイッチ30は、切換制御回路32より与えられた開閉制御信号SHによって開閉する。このスイッチ30が開（導通）状態になると、このスイッチ30および出力バッファ26L、26Rを介して接続する信号線X_j、X_{j+1}同士が電気的に短絡するようになっている。

【0440】次に、この実施例による信号線ドライバの動作を説明する。図2に、完全ドット反転を行う場合の各部の信号の波形（一例）を示す。

【0450】この信号線ドライバを含むTFT-LCDにおいては、ゲート線ドライバG₁、G₂…により液晶パネル100のゲート線Y₁、Y₂…が1フレーム期間内に通常は線順次走査で1ライン（行）ずつ選択されてアクティブ状態に駆動される。各ゲート線Yが駆動される度に、各信号線ドライバでは、各チャネルの出力バッファ26より当該ライン上の各対応する画素電極に印加すべき階調電圧Vが出力される。

【0460】いま、1行のゲート線Y₁が駆動されるとき、交流化信号REVの論理値が、各第1切換回路14L、14Rおよび各第2切換回路24L、24Rがそれぞれ一方（左側）の入力端子に切り換わっているとすれば、第1データラッチ回路12L、12Rより、液晶パネル100内の1行j列および1行（j+1）列にそれぞれ位置する2つの画素の表示階調を直す画像データD_{Xj}、D_{Xj+1}が、第1切換回路14L、14R、第2データラッチ回路16L、16Rおよびレベルシフト18L、18Rを介して左側および右側のD/Aコンバータ20L、20Rにそれぞれ入力される。

【0470】これにより、左側のD/Aコンバータ20L

からは、画像データD_{Xj}の各表示階調に対応した電圧レベルを有する正極性の階調電圧V_jが出力される。一方、右側のD/Aコンバータ20Rからは、画像データD_{Xj+1}の各表示階調に対応した電圧レベルを有する負極性の階調電圧V'_{j+1}が出力される。

【0480】左側のD/Aコンバータ20Lより出力された正極性の階調電圧V_jは、左側の出力アンプ22Lおよび第2切換回路24Lを介して左側の出力バッファ26Lよりj列の信号線X_jに出力される。一方、右側のD/Aコンバータ20Rより出力された負極性の階調電圧V'_{j+1}は右側の出力アンプ22Rおよび第2切換回路24Rを介して右側の出力バッファ26Rより（j+1）列の信号線X_{j+1}に出力される。

【0490】この際、左側の出力アンプ22Lはj列の信号線X_jを対向電極V_{COM}に接続する中間レベル付近から正極性の階調電圧V_jまで駆動すべく、右側の出力アンプ22Rは（j+1）列の信号線X_{j+1}を中間レベル（V_{COM}）付近から負極性の階調電圧V'_{j+1}まで駆動すべく、

【0500】こうして各信号線X_j、X_{j+1}の電位がそれぞれ所望の階調電圧V_j、V'_{j+1}に達した後、所定のタイミングでゲート線ドライバG₁により1行のゲート線Y₁がHレベルに活性化され、このゲート線Y₁に接続されているi行の全ての薄膜トランジスタTFT_{i,j}、TFT_{i,j+1}…がオン状態になる。これにより、j列の信号線X_jより正極性の階調電圧V_jが薄膜トランジスタTFT_{i,j}を介して1行i列の画素電極P_{i,j}に書き込まれ、（j+1）列の信号線X_{j+1}より負極性の階調電圧V'_{j+1}が薄膜トランジスタTFT_{i,j+1}を介して1行i列の画素電極P_{i,j+1}に書き込まれる。

【0510】次に、（i+1）行のゲート線Y₂が駆動されるとき、その水平走査期間の開始時に交流化信号REVの論理値がHに反転すると同時に、データ・ラッチ制御信号TPがHレベルからLレベルに立ち上がる。

【0520】交流化信号REVの論理値がHになるとき、第1切換回路14L、14Rはそれぞれ他方（左側）の入力端子に切り換わる。そして、データ・ラッチ制御信号TPのHレベルの立ち上がりに応じて、左側の第1データラッチ回路12Lよりj列の信号線X_jに、対応した1画素分の画像データD_{Xj}が、右側の第1切換回路14Rを介して右側の第2データラッチ回路16Rに転送されると同時に、右側の第1データラッチ回路12Rより（j+1）列の信号線X_{j+1}に、対応した1画素分の画像データD_{Xj+1}が、左側の第1切換回路14Lを介して左側の第2データラッチ回路16Lに転送される。

【0530】一方、上記のようなデータ・ラッチ制御信号TPの立ち上がりと同時に、第2切換回路24L、24Rが切換制御回路32からの切換制御信号SWによ

り遅延状態になる。これにより、両出力アンプ22L、22Rは出力パッド26L、26Rないし信号線Xj、Xjhから電気的に遮断される。

【0540】この場合、データ・ラッチ制御信号TTPの立ち上がりと同時に交流化信号REVの論理値が反転しているもので、上記のように第2切換回路24L、24Rが遮断状態になっている間に、開閉制御信号SHにより導通状態換制御回路32からの開閉制御信号SHにより導通状態となる。これにより、この導通状態のスイッチ30および出力パッド26L、26Rを介して相隣接する信号線Xj、Xjh同士が互いに短絡される。

【0550】開閉の水平走査期間中、j列の信号線Xjは左側のDAコンバータ20Lより正確性の階調電圧Vjは、右側の出力アンプ22Lを介して負極性の階調電圧Vjに印加される。【0610】一方、右側のDAコンバータ20Rより出力された負極性の階調電圧Vjは、右側の出力アンプ22Rおよび左側の第2切換回路24Lを介して左側の出力パッド26Lよりj列の信号線Xjに出力され、この信号線Xjに接続されている(i+1)行の導通トランジスタTFTjHjを介して対応する画素電極PjHjに印加される。

【0620】この場合、左側の出力アンプ22Lは(j+1)列の信号線Xjhを中間レベル(VCOM)付近から正確性の階調電圧Vjhまで駆動すればよく、右側の出力アンプ22Rはj列の信号線Xjを中間レベル(VCOM)付近から負極性の階調電圧Vjまで駆動すればよい。

【0630】こうして各信号線Xj、Xjhの電位がそれぞれ所望の階調電圧Vj、Vjhに達してから、所定のタイミングでゲート線ドライバICにより(i+1)行のゲート線Yjhに接続されている(i+1)行の全ての導通トランジスタTFTjHj、TFTjLj、……がオン状態になる。これによって、j列の信号線Xjより負極性の階調電圧Vjが導通トランジスタTFTjHj、TFTjLjを介して(i+1)行の画素電極PjHj、PjLjに書き込まれ、(j+1)列の信号線Xjhより正確性の階調電圧Vjhが導通トランジスタTFTjHj、TFTjLjを介して(i+1)行の画素電極PjHj、PjLjに書き込まれる。

【0640】なお、i行のゲート線Yiが駆動される中でも、その水平走査期間の開始時に開閉制御信号SHがHレベルになっている期間中に開閉スイッチ30が導通して両信号線Xj、Xjhが互いに短絡し、上記のような両信号線Xj、Xjh間の電位の打ち消しまたは平均化が行われる。

【0650】以後、上記した2ライン分の動作が繰り返される。これにより、液晶パネル100のY方向において1画素毎に階調電圧の極性が反転する。また、X方向においても1画素毎に(各線路する2つの信号線Xj、Xjhの間で)階調電圧の極性が反転する。

【0660】なお、各切換回路14L、14R、24L、24Rは、交流化信号REVにより1フレーム毎にも切り換わる(すなわち各行のゲート線Yiが駆動される時の各切換回路14L、14R、24L、24Rの位置がフレーム毎に反転する)ように制御される。このようにフレーム毎の反転により、図11に示すようなコモン一定駆動法による電極電圧差が得られる。

【0670】上記したように、本実施例による信号線ドライバでは、各線路う2つのチャンネル分の駆動部において、左側のDAコンバータ20Lおよび出力パッド22Lを正確性の階調電圧Vjに接続することととも右側の

DAコンバータ20Rおよび出力アンプ22Rを負極性の階調電圧Vjに導成し、両DAコンバータ20L、20Rの前段に設けた第1切換回路14L、14Rと両出力アンプ22L、22Rの後段に設けた第2切換回路24L、24Rとを所定の期間たとえば1ライン周期かつ1フレーム周期で切り換えることにより、図11に示すようなコモン一定駆動法と図13に示すような完全ドット反転(1画素毎の反転)とを実現している。

【0680】各出力アンプ22L、22Rは、片方の極性の階調電圧の範囲で常時シフト状態もしくはソース状態のいずれかで動作すればよく、特に交流化の極性反転時には中間レベル(VCOM)付近から片方の極性の所望の階調電圧まで信号線Xj、Xjhを駆動すればよく、電圧スイング幅は従来のほぼ半分であり、このため、消費電力が大幅に低減される。

【0690】また、駆動能力が小さく済むため、各出力アンプ22L、22Rにおいて、1チャンネル分の回路規模が小さくなるとともに、ダイナミックレンジまたはリニアリティやオフセット等の特性も向上する。

【0700】なお、交流化期間を任意に選択することが可能である。図3に、各列(Y方向)の画素に書き込む階調電圧の極性を2ライン(2水平走査期間)周期で反転させる場合の各部の信号の波形(一例)を示す。

【0710】図3に示すように、開閉制御信号SHは、交流化信号REVの論理値が反転する時にデータ・ラッチ制御信号TTPと同じタイミングで活性化される。つまり、各信号線Xj上で電圧の極性が反転する時に、開閉スイッチ30が閉じ、各線路う信号線Xj、Xjh同士を短絡させる。これにより、各信号線Xjの電位は隣接の信号線の逆極性の電位と互いに打ち消し合うようにして中間レベル(VCOM)付近に平均化され、その平均レベルから所定の出力アンプ22Lによって逆極性の所望の階調電圧まで駆動されることになる。

【0720】なお、図2および図3では、説明と理解の便宜上、各ラインにおいてj列の信号線Xjに与えられる階調電圧と(j+1)列の信号線Xjhに与えられる階調電圧とはほぼ等しいものとして図示している。

【0730】図4に、第2切換回路24L、24Rおよび開閉スイッチ30の回路構成例を示す。この構成例では、各々の第2切換回路24L、24Rが一方のトランジスタTGa、TGBを介して、開閉スイッチ30が1個のトランジスタTGCを介して、開閉制御信号SHにより、各々の第2切換回路24L、24RのトランジスタTGa、TGBはそれぞれ与えられ、開閉制御信号SHが与えられる。

【0740】切換制御信号(SWa、SWb)の論理値が[L、L]のときは、各々の第2切換回路24L、24Rにおいて左側のトランジスタTGaがオン

で、右側のトランジスタTGBがオフとなる。これにより、左側の出力アンプ22Lの出力端子は左側の第2切換回路24Lの左側トランジスタTGaを介して左側の出力パッド26Lに接続され、右側の出力アンプ22Rの出力端子は右側の第2切換回路24Rの左側トランジスタTGaを介して右側の出力パッド26Rに接続される。

【0750】反対に、切換制御信号(SWa、SWb)の論理値が[H、H]のときは、各々の第2切換回路24L、24Rにおいて左側のトランジスタTGBがオンとなり、右側のトランジスタTGaがオフで、右側の出力アンプ22Rの出力端子は右側の第2切換回路24Rの右側トランジスタTGBを介して右側の出力パッド26Lに接続され、左側の出力アンプ22Lの出力端子は左側の第2切換回路24Lの右側トランジスタTGBを介して左側の出力パッド26Lに接続される。

【0760】また、切換制御信号(SWa、SWb)の論理値が[H、L]のときは、各々の第2切換回路24L、24Rにおいて両トランジスタTGa、TGBがどちらもオンとなる。この時、両出力アンプ22L、22Rのいずれも出力パッド26L、26Rから遮断される。

【0770】定常時、開閉制御信号SHの論理値はLに保たれ、これにより開閉スイッチ28のトランジスタTGCはオフ状態に保持される。しかし、切換制御信号(SWa、SWb)の論理値が[H、L]になっている期間中、つまり第2切換回路24L、24Rが遮断状態になっている期間中に、開閉制御信号SHがHになり、開閉スイッチ30のトランジスタTGCがオン状態になる。そうすると、上記したように、このスイッチ30および出力パッド26L、26Rを介して相隣接する信号線Xj、Xjh同士が電気的に短絡することになる。

【0780】図5に、切換制御回路30の回路構成例を示す。この構成例では、交流化信号REVとデータ・ラッチ制御信号TTPとに基づいて遅延回路34、排他制御回路36、ANDゲート38により開閉制御信号SHが生成され、かつ第2切換回路24L、24Rが遮断状態になることととも、この開閉制御信号SHと交流化信号REVとに基づいて反転回路42、ORゲート40およびANDゲート44によって切換制御信号SW(SWa、SWb)が生成される。

【0790】すなわち、交流化信号REVの論理値がHからLへ、またはその逆に反転した時に排他OR回路36の出力端子に論理値Hのバルス信号が得られる。このバルス信号のバルス幅は遅延回路34における遅延時間に相当し、普通はデータ・ラッチ制御信号TTPのバルス幅よりも大きな値に選ばれてよい。

【0800】データ・ラッチ制御信号TTPは交流化信号REVに同期して与えられる。REVの論理値がLライ

ン周期で反転する場合は、これと同じタイミングでTPの論理値がHになり、ANDゲート38の出力端子にはデータ・ラッチ制御信号TPに対応した開閉制御信号SHが得られる。

[0810] 交流化信号REVが論理値HからLに反転するときは、この反転時点からANDゲート44の出力つまり切換制御信号SWbがHになる。一方、REVの反転時にデータ・ラッチ制御信号TPがHレベルに立ち上ることにより、ANDゲート38の出力つまり開閉制御信号SHがHレベルとなり、この開閉制御信号SHがHレベルに高レベル化されている間はORゲート40の出力つまり切換制御信号SWaがHになる。こうして切換制御信号[SWa, SWb]の論理値が[H, L]となり、各々の第2切換回路24L, 24Rにおいて同トランスファアゲートTGA, TGBがどちらもおアブとなる。これにより、両出力アンプ22L, 22Rのいずれも出力バッド26L, 26Rから遮断される。

[0820] そして、開閉制御信号SHがHレベルであるため、開閉スイッチ30が閉じて励磁信号Xj, XjH同士が互いに短絡し、両信号線の間で逆極性の電位同士が互いに打ち消し合い平均化される。

[0830] データ・ラッチ制御信号TPがLレベルに立ち下ると、ANDゲート38の出力つまり開閉制御信号SHもLレベルに立ち下がり、開閉スイッチ30が定常時の状態に戻る。また、開閉制御信号SHがLレベルに立ち下ること、ORゲート40の出力つまり切換制御信号SWbがLになる。こうして、切換制御信号[SWa, SWb]が[L, L]となり、各々の第2切換回路24L, 24Rにおいて左側のトランスファアゲートTGAがおアブで、右側のトランスファアゲートTGBがおアブとなる。

[0840] 交流化信号REVが論理値LからHに反転するときも、その反転時に上記と同様に第2切換回路24L, 24Rが一時的に遮断してその間に開閉スイッチ30が導通して両信号線Xj, XjHが互いに短絡し、その直後に各々の第2切換回路24L, 24Rにおいて左側のトランスファアゲートTGAがおアブで、右側のトランスファアゲートTGBがおオンとなる。

[0850] 図6に、本発明の別の実施例による信号線ドライバの構成例を示す。この信号線ドライバでは、全3つの場合の出力バッドまたは両信号線の間を開閉スイッチ30を接続して、交流化の極性反転時には全ての開閉スイッチ30を一斉に閉状態にして、全ての信号線X1, X2, ……を互いに短絡させるように構成している。この場合には、全ての信号線X1, X2, ……の間で正極性の電位と負極性の電位とが互いに打ち消し合って平均化され、各信号線X1, X2, ……の電位が中間レベルVCON付近に収束する。

[0860] さらに、この信号線ドライバでは、一端の出力バッド(OUTn)を開閉スイッチ46を介して対向電

極電圧VCONまたはこれに近い電圧を供給する電源電圧端子に接続している。この開閉スイッチ46は、全ての開閉スイッチ30が一斉に閉状態になっている期間中に、好ましくはこの期間の後部で切換制御回路32から制御信号SCによって閉じる。これによって、対向電極電圧VCONまたはこれに近い電圧が閉状態のスイッチ46および30, 30, ……を介して全ての信号線X1, X2, ……に供給される。この結果、各信号線X1, X2, ……の電位が高い精度で中間レベルVCON付近にリセットされる。

[0870] 図7に、他の実施例による信号線ドライバの要部の回路構成例を示す。この信号線ドライバでは、各チャンネルの駆動部をパラレルに独立させている。したがって、図1および図6の構成例におけるような切換回路14, 24は設けられていない。ただし、各チャンネルのDAコンバータは、階調電圧発生回路28より正極性の全階調電圧V1〜V64および負極性の全階調電圧V64〜V1を受け取り、その中から1つの階調電圧を選択して出力するように動作する。また、各チャンネルの出力アンプ22は、シンクおよびソースの両機能を備え、正極性の電圧範囲と負極性の電圧範囲とで交互に動作する。

[0880] 図7の構成例では隣合う一対のチャンネル間に開閉スイッチ30を接続しているが、図6と同様に全チャンネル間に開閉スイッチ30を設けてもよい。

[0890] なお、図1、図6および図7においては、20L, 20R, 20をそれぞれDAコンバータと表記しているが、これらは実質的にはデコーダ回路であり、デジタルデータアナログ電圧に変換するという意味で、DAコンバータとしている。

[0900]

[発明の効果] 以上説明したように、本発明の液晶ディスプレイ用信号線駆動回路によれば、コモン一定駆動法のドット反転駆動において交流化の極性反転時に隣合う信号線同士を一時的に短絡させてそれぞれの電位を互いに打ち消させて中間レベル付近に平均化し、この平均化された電位から各信号線を所望の階調電圧まで駆動するようにしたため、駆動部の負荷を軽減し、消費電力を大幅に低減させることができる。

[図面の簡単な説明]

[図1] 本発明の一実施例による信号線ドライバの要部の回路構成を示すブロック図である。

[図2] 実施例において完全ドット反転を行う場合の各信号線の波形(一例)を示すタイミング図である。

[図3] 実施例においてY方向に2ライン置ききのドット反転を行う場合の各信号線の波形(一例)を示すタイミング図である。

[図4] 実施例における第2切換回路および開閉スイッチの回路構成例を示す回路図である。

[図5] 実施例における切換制御回路の回路構成例を示

す回路図である。

[図6] 別の実施例による信号線ドライバの回路構成を示すブロック図である。

[図7] 他の実施例による信号線ドライバの要部の回路構成を示すブロック図である。

[図8] アクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示すブロック図である。

[図9] TFT-LCDの液晶パネルの典型的な構成を示す部分断面図である。

[図10] TFT-LCDの液晶パネル内の回路構成を示す回路図である。

[図11] コモン一定駆動法による画素電極電圧および対向電極電圧の電圧波形を示す図である。

[図12] コモン反転駆動法による画素電極電圧および

対向電極電圧の電圧波形を示す図である。

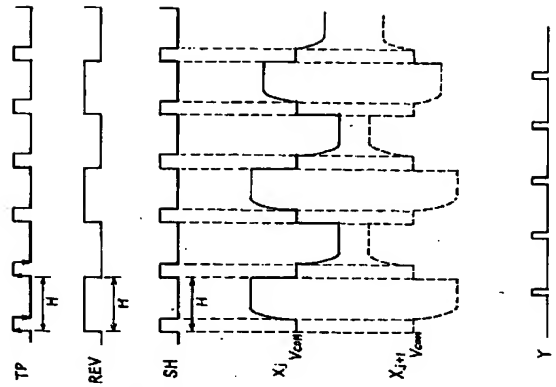
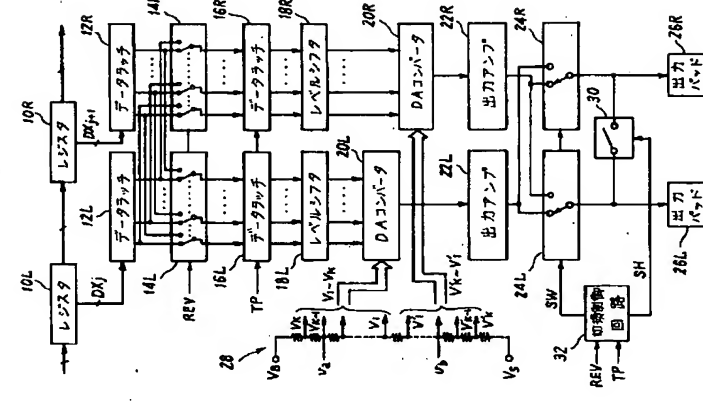
[図13] 液晶ディスプレイにおける完全ドット反転のパターンを示す図である。

[符号の説明]

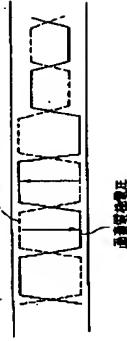
- 12, 12L, 12R 第1データラッチ回路
- 14, 14L, 14R 第1切換回路
- 16, 16L, 16R 第2データラッチ回路
- 18, 18L, 18R レベルシフタ
- 20, 20L, 20R DAコンバータ
- 22, 22L, 22R 出力アンプ
- 24L, 24R 第2切換回路
- 30 開閉スイッチ
- 32 切換制御回路
- 46 開閉スイッチ

[図1]

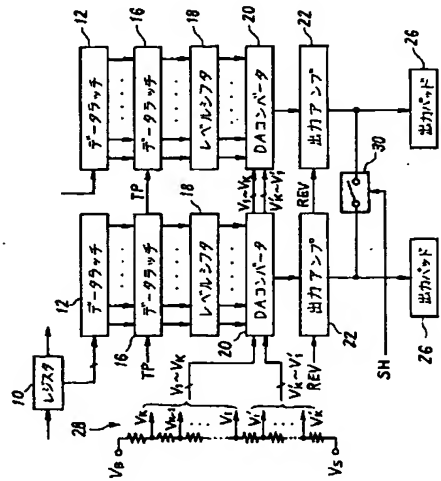
[図2]



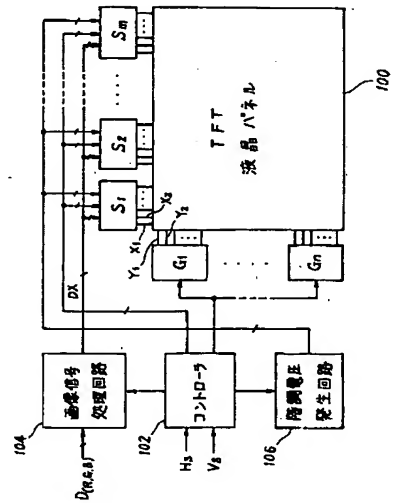
[図12]



【図7】



【図8】



【図10】

